|  |  |  |
| --- | --- | --- |
| 디지털 시스템 설계 및 실험 결과보고서 | | |
| 이름 : 손명준 | | 학번 : 2018170914 |
| **실험제목** | 11 : 유한상태 머신 설계 | |
| **실험목표** | 1. 유한상태 머신의 동작원리를 이해한다. 2. 유한상태 머신을 설ㄴ계한다.. | |
| **실험결과** | | |
| **1. 유한상태 머신 설계**  다음 그림과 같은 동작을 수행하는 FSM을 설계 및 구현하였다.    완성된 FSM 코드는 다음과 같다.    Parameter 키워드를 이용해 FSM이 가질 수 있는 state를 정의하였다. finite\_state는 현재의 state를 저장하며, 매 클럭의 rising edge에서 현재의 finite\_state와 입력 i를 이용해 다음 finite\_state를 결정하고 출력 out의 값을 설정한다. 이번에 설계하고자 하는 FSM은 4개의 state로 이루어져 있으며, 각 state에 대해 입력이 0인 경우는 현재의 state를 계속 유지하며 out 신호로 4가 출력된다. 입력이 1인 경우 인접한 다음 state로 변화하며, state\_3의 경우 다시 state\_0으로 돌아온다. 이러한 FSM의 동작을 간단하고 가독성이 좋게 구현하기 위해 case문을 활용하였다.  Testbench module은 다음과 같다.    Clock은 1ns 주기로 진동하도록 설정하였고, 입력 i는 2ns 주기로 진동하도록 하여 각 클럭마다 해당 state에 대해 입력이 0인 경우와 1인 경우를 모두 확인할 수 있도록 하였다. 출력된 파형은 다음과 같다.      Rst 신호가 감소하는 edge에서 finite\_state는 state\_0으로 초기화된다. 이후 i가 각 클럭마다 0과 1로 바뀐다. 각 state에 대해 i가 0이면 o가 0100으로 설정되고 finite\_state는 현재 상태를 유지한다. i가 1이면 o가 0001로 설정되고 finite\_state는 다음 state로 변경된다. | | |
| **토의** |  | |
|  | | |